

Integrated memory and method for testing and repairing the integrated memory

Patent number: DE10110469
Publication date: 2002-09-26
Inventor: PERNER MARTIN (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- international: G11C29/00
- european:
Application number: DE20011010469 20010305
Priority number(s): DE20011010469 20010305

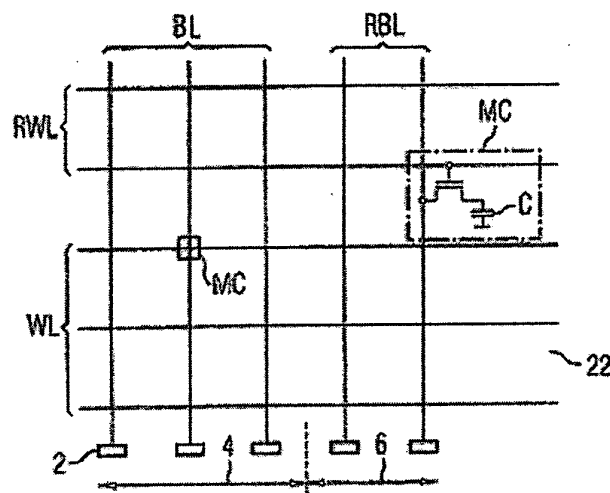
Also published as:

US 6590816 (B2)
US 2002122341 (A1)

Abstract not available for DE10110469

Abstract of correspondent: **US2002122341**

The integrated memory has memory cells in a memory cell block having a plurality of column lines and a plurality of row lines. The row lines include regular row lines and redundant row lines. In the event of a read access to a current row line, a self-test unit checks the correctness of the memory cell contents read and, in the event of a defect, generates a defect signal for the current row line and, for each regular row line, detects the defects ascertained and compares them with an average defect for all of the regular row lines. When a predetermined repair condition is met during the comparison, the self-test unit outputs a row repair signal for the current row line. A self-repair unit interacting with the self-test unit replaces the current row line by a redundant row line in response to a row repair signal in the course of operation of the integrated memory. By still utilizing the existing redundancy after delivery, the failure probability of the memory module can be significantly reduced



Data supplied from the *esp@cenet* database - Worldwide

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 101 10 469 A 1

51 Int. Cl. 7:
G 11 C 29/00

21 Aktenzeichen: 101 10 469.3
22 Anmeldetag: 5. 3. 2001
43 Offenlegungstag: 26. 9. 2002

DE 101 10 469 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Epping, Hermann & Fischer, 80339 München

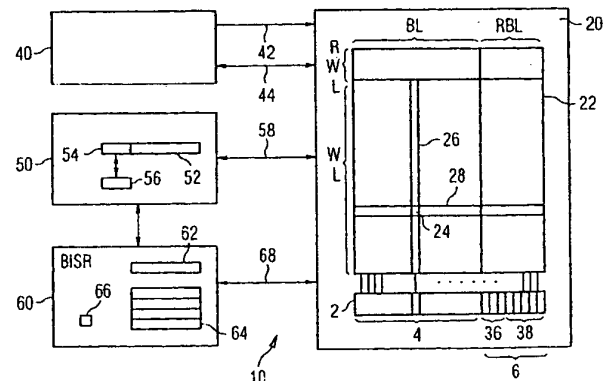
72 Erfinder:
Perner, Martin, Dr., 81243 München, DE
36 Entgegenhaltungen:
US 61 78 124
US 49 39 694

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Integrierter Speicher und Verfahren zum Testen und Reparieren desselben

51 Ein integrierter Speicher umfaßt Speicherzellen (MC) in einem Speicherzellenblock (22), der eine Mehrzahl von Spaltenleitungen (BL) und eine Mehrzahl von Zeilenleitungen (WL) aufweist, wobei die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) aufweist. Eine Selbsttesteinheit (50) überprüft bei einem Lesezugriff auf eine aktuelle Zeilenleitung (28) die Korrektheit der gelesenen Speicherzelleninhalte (32), generiert bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung (28), erfaßt die für jede reguläre Zeilenleitung (WL) festgestellten Fehler, vergleicht sie mit einem mittleren Fehler für alle regulären Zeilenleitungen (WL) und gibt bei Erfüllen einer vorbestimmten Reparaturbedingung bei dem Vergleich ein Zeilenreparatursignal für die aktuelle Zeilenleitung (28) aus. Eine mit der Selbsttesteinheit (50) zusammenwirkende Selbstreparatureinheit (60) ersetzt auf ein Zeilenreparatursignal hin die aktuelle Zeilenleitung (28) im laufenden Betrieb des integrierten Speichers durch eine redundante Zeilenleitung (RWL). Durch Nutzen der vorhandenen Redundanz noch nach der Auslieferung kann die Ausfallwahrscheinlichkeit des Speicherbausteins deutlich gesenkt werden.



DE 101 10 469 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen integrierten Speicher mit Speicherzellen, die in einem Speicherzellenblock angeordnet sind, der eine Mehrzahl von Spaltenleitungen und eine Mehrzahl von Zeilenleitungen aufweist. Die Erfindung betrifft weiter ein Verfahren zum Testen und Reparieren eines derartigen integrierten Speichers.

[0002] Integrierte Halbleiterspeicher werden im allgemeinen von den Herstellern vor ihrer Auslieferung auf Funktionsfähigkeit getestet und soweit möglich repariert. Dazu weisen die Halbleiterspeicher neben regulären Speicherzellen auch redundante Speicherzellen auf, die im Fall festgestellter Fehler einen gewissen Anteil der regulären Speicherzellen ersetzen können. Die redundanten Speicherzellen sind dabei in der Regel ebenso wie die regulären Speicherzellen zu Zeilenleitungen (wordline, WL) und Spaltenleitungen (bitline, BL) zusammengefaßt.

[0003] Durch ein derartiges Redundanzkonzept läßt sich die Chipausbeute bei der Herstellung steigern. Nach der Chipfertigung werden Speicherfehler durch gezieltes Testen ermittelt und in einem Fehlerprotokoll aufgezeichnet. Dann werden durch programmierbare Elemente, beispielsweise eine Reihe von sogenannten Laserfuses einzelne fehlerhafte Zeilenleitungen oder Spaltenleitungen adressmäßig gegen fehlerfreie redundante Zeilen- bzw. Spaltenleitungen ausgetauscht.

[0004] Werden Laserfuses als programmierbare Elemente verwendet, so ist ein Ersetzen defekter Zeilen- oder Spaltenleitungen nur während der Tests auf Waferebene möglich, da die Laserfuses nach dem Einbau des Chips in ein Gehäuse für den programmierenden Laserstrahl nicht mehr zugänglich sind.

[0005] Werden elektrisch programmierbare Fuses, sogenannte e-Fuses als programmierbare Elemente verwendet, ist eine Redundanzaktivierung auch nach dem Einbau der Chips in ein Gehäuse möglich. Dies wird vor allem dann genutzt, wenn Bausteinfehler erst spät im Produktions- oder Testverlauf entdeckt werden.

[0006] Nach der Auslieferung der Bausteine findet eine Fehlerkorrektur durch Austausch redundanter Elemente nicht mehr statt. In diesem Stadium auftretende Fehler führen schlimmstenfalls zum Ausfall des Bausteins und zu einem Zurücksenden an den Hersteller. Um dieser Gefahr vorzubeugen, werden die Bauelemente üblicherweise sogenannten Streßtests unterworfen, deren Ziel es ist, möglichst alle anfälligen Bauelemente bereits in der Testphase beim Hersteller ausfallen zu lassen, so daß der Abnehmer nur bereits reparierte Bausteine mit geringer Ausfallwahrscheinlichkeit für die Zukunft erhält. Solche Streßtests sind allerdings Zeit- und kostenaufwendig. Sie können auch die Ausfallrate regulärer Bausteine nach Auslieferung nicht verringern.

[0007] Hier setzt die Erfindung an. Der Erfindung, wie sie in den Ansprüchen gekennzeichnet ist, liegt die Aufgabe zugrunde, einen integrierten Speicher mit geringer Ausfallwahrscheinlichkeit nach Auslieferung bereitzustellen. Diese Aufgabe wird durch den integrierten Speicher nach Anspruch 1 und 6 gelöst. Die Erfindung stellt weiter ein Verfahren zum Testen und Reparieren eines integrierten Speichers nach Anspruch 7, 8 und 13 bereit. Bevorzugte Ausgestaltungen sind Gegenstand der Unteransprüche.

[0008] Der erfindungsgemäße integrierte Speicher umfaßt Speicherzellen, die in einem Speicherzellenblock angeordnet sind, der eine Mehrzahl von Spaltenleitungen und eine Mehrzahl von Zeilenleitungen aufweist, wobei die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen und redundante Zeilenleitungen aufweist.

[0009] Er umfaßt weiter eine Selbsttesteinheit, die bei einem Lesezugriff auf eine aktuelle Zeilenleitung die Korrektheit der gelesenen Speicherzelleninhalte einer Zeile überprüft und bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung generiert, die weiter für jede reguläre Zeilenleitung die festgestellten Fehler erfaßt und mit einem mittleren Fehler für alle regulären Zeilenleitungen vergleicht, und die bei Erfüllen einer vorbestimmten Reparaturbedingung beim Vergleich ein Zeilenreparatursignal für die aktuelle Zeilenleitung ausgibt.

[0010] Der integrierte Speicher umfaßt weiter eine mit der Selbsttesteinheit zusammenwirkende Selbstreparatureinheit, die auf ein Zeilenreparatursignal hin die aktuelle Zeilenleitung im laufenden Betrieb des integrierten Speichers durch eine redundante Zeilenleitung ersetzt.

[0011] Die Erfindung beruht somit auf dem Gedanken, die nach den Funktionstests und der Fehlerkorrektur beim Hersteller übrig gebliebenen redundanten Speicherzellen zur Fehlerkorrektur im laufenden Betrieb des Bausteins zu verwenden. Zu diesem Zweck sind eine zusammenwirkende Selbsttesteinheit und eine Selbstreparatureinheit (Built-in self repair, BISR) vorgesehen.

[0012] Um zu entscheiden, ob eine Zeilenleitung fehlerhaft ist und ausgetauscht werden muß, protokolliert die Selbsttesteinheit die Anzahl der bei jeder der Zeilenleitung aufgetretenen Fehler sowie einen mittleren Fehler für alle Zeilenleitungen. Wird eine Zeilenleitung auffällig, beispielsweise durch eine gegenüber dem Durchschnitt signifikant erhöhte Fehleranzahl, wird für diese Zeilenleitung ein Reparatursignal erzeugt. Die Selbstreparatureinheit tauscht daraufhin die fehlerhafte Zeilenleitung im laufenden Betrieb durch eine redundante Zeilenleitung aus.

[0013] Durch diese Maßnahme ist es möglich, die auf dem Baustein vorhandene Redundanz an Speicherzellen auch noch nach der Auslieferung an den Kunden zu nutzen und damit die Ausfallwahrscheinlichkeit des Speicherbausteins deutlich zu vermindern. Andererseits ist es auch möglich, die Prüfschärfe bei den Tests des Herstellers zu senken und dadurch Zeit und Kosten zu sparen, da nicht mehr alle Fehler bereits in diesem Stadium korrigiert werden müssen.

[0014] Bevorzugt weist die Selbstreparatureinheit einen wiederbeschreibbaren Speicher zur schnellen Umleitung der Adresse der aktuellen Zeilenleitung auf die Adresse der redundanten Zeilenleitung und einen irreversibel programmierbaren Speicher zur dauerhaften Ersetzung der aktuellen Zeilenleitung durch die redundante Zeilenleitung auf.

[0015] Diese Ausgestaltung trägt der Beobachtung Rechnung, daß die sichere und dauerhafte Programmierung eines irreversibel programmierbaren Speichers, insbesondere einer e-Fuse einige Zeit, typischerweise eine bis eintausend Mikrosekunden benötigt. Um während dieser Zeit den normalen Betrieb des Speicherbausteins aufrecht erhalten zu können, wird die Adresse der zu reparierenden Zeilenleitung vorübergehend über einen wiederbeschreibbaren Speicher umgeleitet, bis die Aktivierung des irreversibel programmierbaren Speichers abgeschlossen ist.

[0016] In einer bevorzugten Ausgestaltung überprüft die Selbsttesteinheit die Korrektheit der gelesenen Speicherzelleninhalte der aktuellen Zeilenleitung anhand eines Vergleichs einer berechneten Signatur der Speicherinhalte mit einer abgespeicherten Signatur der Speicherinhalte. Zweckmäßig wird bei jedem Schreibzugriff einer Zeilenleitung eine Signatur der Speicherzelleninhalte berechnet und abgespeichert. Sofern die Zeilenleitung noch redundante Bits zur Verfügung hat, kann diese Signatur in einem Teil dieser Bits abgespeichert werden.

[0017] Als Signatur kommen dabei etwa die Berechnung eines Prüfbits, Berechnung einer Prüfsumme oder auch die

Verwendung komplexerer Prüfpolynome unter Verwendung von ECC (Error correction code) in Betracht. Einfache Signaturen erlauben dabei lediglich zu erkennen, daß ein Fehler aufgetreten ist, während komplexere Signaturen die Bestimmung der Fehlerposition und zum Teil auch eine Korrektur des aufgetretenen Fehlers ermöglichen. Alle diese, an sich bekannten, Verfahren zur Berechnung einer Signatur aus den Speicherinhalten werden im Rahmen der vorliegenden Erfindung in Betracht gezogen.

[0018] In einer bevorzugten Ausgestaltung des integrierten Speichers weist die Mehrzahl von Spaltenleitungen reguläre Spaltenleitungen und redundante Spaltenleitungen auf. Dieser Speicher enthält weiter eine Selbsttesteinheit, die bei einem Lesezugriff auf eine aktuelle Zeilenleitung die Korrektheit der gelesenen Speicherzelleninhalte überprüft und bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung generiert, die weiter im Fall eines festgestellten Fehlers eine berechnete Signatur der Speicherzelleninhalte mit einer zuvor abgespeicherten Signatur vergleicht, zur Bestimmung der Spaltenleitung, in der der Fehler aufgetreten ist, die weiter für jede reguläre Zeilenleitung und für jede reguläre Spaltenleitung die festgestellten Fehler erfaßt und jeweils mit einem mittleren Fehler für alle regulären Zeilenleitungen und alle regulären Spaltenleitungen vergleicht, und die bei Erfüllen einer vorbestimmten Reparaturbedingung bei dem Vergleich ein Zeilenreparatursignal für die aktuelle Zeilenleitung oder ein Spaltenreparatursignal für eine als fehlerhaft erkannte Spaltenleitung ausgibt.

[0019] Die Selbstreparatureinheit des integrierten Speichers ersetzt auf ein Zeilenreparatursignal hin die aktuelle Zeilenleitung im laufenden Betrieb durch eine redundante Zeilenleitung und auf ein Spaltenreparatursignal hin die als fehlerhaft erkannte Spaltenleitung durch eine redundante Spaltenleitung. Mit diesem integrierten Speicher ist neben der zuvor beschriebenen Reparatur von Zeilenleitungen auch die Reparatur defekter Spaltenleitungen möglich.

[0020] Bevorzugt enthält die Selbstreparatureinheit einen irreversibel programmierbaren Speicher zur dauerhaften Ersetzung der als fehlerhaft erkannten Spaltenleitung durch die redundante Spaltenleitung und Mittel zum Wiederherstellen der in der fehlerhaften Spaltenleitung gespeicherten Speicherzelleninhalte. Die Mittel zum Wiederherstellen können dabei der Reihe nach auf alle Zeilenleitungen zugreifen, über einen Fehlererkennungscode den Inhalt der Speicherzelle der fehlerhaften Spaltenleitung wiederherstellen und in die entsprechende Speicherzelle der neuen, redundanten Spaltenleitung abspeichern.

[0021] In einer weiteren Ausgestaltung der Erfindung kann alternativ oder zusätzlich zur vorbeschriebenen Selbsttesteinheit eine weitere Selbsttesteinheit vorgesehen sein, die bei einem Lesezugriff auf eine aktuelle Zeilenleitung die Korrektheit der gelesenen Speicherzelleninhalte überprüft und bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung generiert, die im Fall eines festgestellten Fehlers eine berechnete Signatur der Speicherzelleninhalte mit einer zuvor abgespeicherten Signatur vergleicht, zur Bestimmung der Spaltenleitung, in der der Fehler aufgetreten ist, die weiter die vollständigen Adressen der Speicherzellen, in denen ein Fehler aufgetreten ist, sukzessive in einem Schieberegister ablegt, die weiter im Fall des wiederholten Ablegens der Adresse derselben Speicherzelle in dem Schieberegister die der Speicherzelle zugehörige Zeilenleitung und Spaltenleitung bestimmt, und die bei Erfüllen einer vorbestimmten Reparaturbedingung ein Zeilenreparatursignal für die zugehörige Zeilenleitung oder ein Spaltenreparatursignal für die zugehörige Spaltenleitung ausgibt.

[0022] Bei dieser Selbsttesteinheit wird berücksichtigt, daß manche Speicherzellen nicht bei jedem Zugriff einen

Fehler erzeugen (harter Fehler), sondern nur gelegentlich ausfallen. Um auch diese Speicherzellen feststellen und ersetzen zu können, wird die vollständige Adresse einer Speicherzelle, in der ein Fehler aufgetreten ist, in einem Schieberegister gespeichert. Wird dort wiederholt die selbe Adresse abgelegt, wird die zugehörige Speicherzelle als defekt erkannt und entweder die zugehörige Zeilenleitung oder die zugehörige Spaltenleitung durch eine fehlerfreie Redundante ersetzt.

[0023] Weitere vorteilhafte Ausgestaltungen, Merkmale und Details der Erfindungen ergeben sich aus den abhängigen Ansprüchen, der Beschreibung der Ausführungsbeispiele und der Zeichnungen.

[0024] Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit den Zeichnungen näher erläutert werden. Dabei sind jeweils nur die für das Verständnis der Erfindung wesentlichen Elemente dargestellt. Es zeigen:

[0025] Fig. 1 eine schematische Darstellung eines matrixförmigen Speicherzellenfeldes;

[0026] Fig. 2 eine schematische Darstellung eines Ausführungsbeispiels eines erfindungsgemäßen integrierten Speichers;

[0027] Fig. 3 eine Selbsttesteinheit einer anderen Ausführungsform des erfindungsgemäßen Speichers;

[0028] Fig. 4a, 4b ein Flußdiagramm eines erfindungsgemäßen Verfahrens zum Testen und Reparieren eines integrierten Speichers;

[0029] Fig. 5a, 5b ein Flußdiagramm eines weiteren erfindungsgemäßen Verfahrens zum Testen und Reparieren eines integrierten Speichers.

[0030] In Fig. 1 ist ein matrixförmig organisiertes Speicherzellenfeld 22, beispielsweise eines DRAMs dargestellt, das reguläre Zeilenleitungen WL und reguläre Spaltenleitungen BL aufweist, sowie redundante Zeilenleitungen (RWL) und redundante Spaltenleitungen (RBL), die im Fehlerfall reguläre Zeilenleitungen beziehungsweise Spaltenleitungen ersetzen können.

[0031] In jedem Kreuzungspunkt einer Zeilenleitung WL und einer Spaltenleitung BL befindet sich eine Speicherzelle MC, die einen Auswahltransistor und einen Speicherkondensator C enthält. Nach Aktivierung einer Zeilenleitung WL fließt jeweils die auf dem Kondensator C gespeicherte Ladung über den durchgeschalteten Auswahltransistor zur zugehörigen Spaltenleitung BL und verursacht dort eine Spannungspegeländerung, die durch einen der Spaltenleitung BL zugeordneten Leseverstärker 2 verstärkt wird. Die gesamte Information der aktuellen Wortleitung ist dann in den Leseverstärkern 2 zwischengespeichert. Dabei sind in der Leseverstärkerzeile sowohl die Inhalte der regulären Speicherzellen 4, als auch die der redundanten Speicherzellen 6 verfügbar.

[0032] Fig. 2 zeigt ein Blockdiagramm einer Ausführungsform eines erfindungsgemäßen integrierten Speichers 10. Der integrierte Speicher 10 enthält einen Speicherblock 20, der ein Array regulärer Speicherzellen aus 4096 regulären Zeilenleitungen WL und 512 regulären Spaltenleitungen BL enthält. Daneben umfaßt der Speicherblock 20 redundante Speicherzellen, die in 128 redundanten Zeilenleitungen RWL und 8 redundanten Spaltenleitungen RBL zusammengefaßt sind.

[0033] Der Speicherblock 20 ist mit einer Steuerungseinheit 40, einer Selbsttesteinheit 50 und einer mit der Selbsttesteinheit zusammenwirkenden Selbstreparatureinheit (Built-in self repair, BISR) 60 verbunden. Die Steuerungseinheit 40 tauscht verschiedene Signale mit dem Speicherblock 20 aus, legt beispielsweise Adressen 42 an und schreibt oder liest Daten 44 von dem Speicherblock 20.

[0034] Bei einem Speicherzugriff auf den Speicherblock 20 wird durch eine Adresse 42 genau eine Zeilenleitung 28 und genau eine Spaltenleitung 26, im Ergebnis also genau eine Speicherzelle 24 angesprochen. Durch die Zeilenleitungsaktivierung (RAS, row address strobe) wird die Wortleitung 28 aktiviert, wodurch alle 4096 angekoppelten Auswahltransistoren, die zusammen eine sogenannte Page bilden, durchgeschaltet werden, so daß die in Form von Ladung auf den zugehörigen Kondensatoren C gespeicherte Information auf die jeweilige Spaltenleitung übertragen wird. Die entstehende Spannungspiegeländerung auf den Spaltenleitungen werden durch die den Spaltenleitungen zugeordneten Leseverstärker 2 verstärkt und zwischengespeichert.

[0035] Der nachfolgende Spaltenleitungsaktivierungsbefehl (CAS, column address strobe) wählt dann aus den zwischengespeicherten Speicherzelleninhalten 4 einen einzigen aus. Die den redundanten Spaltenleitungen RBL zugeordneten Leseverstärker 6 werden für den regulären Speicherbetrieb nicht genutzt. Im Ausführungsbeispiel werden drei der acht verfügbaren Bits verwendet, um eine Signatur 36 der regulären Speicherzelleninhalte 4 zur Fehlerkorrektur aufzunehmen. Die fünf restlichen Bits 38 werden als Zähler genutzt, indem die Anzahl der bisher aufgetretenen Lesefehler im Zusammenhang mit der Zeilenleitung 28 gespeichert werden.

[0036] Die Selbsttesteinheit 50 enthält ein 16 Bit breites Gesamtzeilenfehlerregister 52 zur Aufnahme der Gesamtfehlerzahl, bei allen Lesezugriffen auf die Zeilenleitungen WL auftreten.

[0037] Die oberen vier Bits des Gesamtzeilenfehlerregisters 52 bilden ein erstes Zeilenfehlerregister 54, das bei 4096 Zeilenleitungen (2^{12}) gerade die mittlere Fehlerzahl pro Zeilenleitung enthält. Das zweite Zeilenfehlerregister 56 ist ebenfalls vier Bit breit und dient zur Zwischenspeicherung der Werte des ersten Zeilenfehlerregisters 54.

[0038] Die Selbstreparatureinheit 60 enthält ein Softfuse-Register 62 als wiederbeschreibbaren Speicher, in dem die Adresse der nächsten freien redundanten Zeilenleitung abgelegt ist. Eine Reihe von elektrisch programmierbaren Schaltern, sogenannten e-Fuses 64 dient der dauerhaften Ersetzung einer defekten Zeilenleitung durch eine redundante Zeilenleitung. Das Reparaturflag 66 gibt jeweils an, ob zum gegenwärtigen Zeitpunkt eine Reparatur möglich ist. Die Selbsttesteinheit 50 und die Selbstreparatureinheit 60 tauschen über Verbindungen 58, 68 Daten und Steuerbefehle mit dem Speicherblock 20 aus.

[0039] Die Funktionsweise des integrierten Speichers und das Verfahren zum Testen und Reparieren desselben wird nunmehr anhand des Flußdiagramms der Fig. 4a und 4b näher erläutert. Das Verfahren 200 zum Testen und Reparieren defekter Zeilen eines integrierten Speichers beginnt mit Schritt 210, der Initialisierung der Fehlerregister. Dabei wird das Gesamtzeilenfehlerregister 52 und damit auch das erste Zeilenfehlerregister 54, sowie das zweite Zeilenfehlerregister 56 auf Null gesetzt. Weiter werden der Reihe nach alle 4096 Zeilenleitungen in die Leseverstärker 2 gelesen, der Fehlerzähler 38 jeweils auf Null gesetzt und die Zeilen zurückgespeichert.

[0040] Im Schritt 220 wird geprüft, ob noch eine redundante Zeilenleitung RWL vorhanden ist. Falls ja, wird die Selbstreparatur in Schritt 230 freigegeben und die Adresse der nächsten redundanten Zeilenleitung im Softfuse-Register 62 gespeichert. Ist keine redundante Zeilenleitung mehr vorhanden, wird die Selbstreparatur in Schritt 235 gesperrt. Dann wird im Schritt 250 auf den nächsten Schreib- oder Lesezugriff gewartet.

[0041] Findet ein Schreibzugriff auf eine Zeilenleitung

statt, so wird in einem Schritt 260 vor dem Abspeichern der Speicherzelleninhalte der Zeilenleitung eine Signatur der regulären Bits 4 errechnet und in den Signaturbits 36 abgelegt. Dann wird die Zeile von den Leseverstärkern 2 in die zugehörigen Speicherzellen geschrieben. Danach kehrt das Verfahren zu Schritt 250 zurück, wo wiederum auf den nächsten Schreib/Lesezugriff gewartet wird.

[0042] Erfolgt ein Lesezugriff auf eine Zeilenleitung 28, so wird im Schritt 270 eine Leseinitialisierung der Fehlerregister durchgeführt (Fig. 4b). Dabei wird zunächst der Inhalt des ersten Zeilenfehlerregisters 54 in das zweite Zeilenfehlerregister 56 kopiert. Dann wird der Inhalt des Gesamtzeilenfehlerregisters 52 um eins erniedrigt. Der Fehlerzähler 38 der gelesenen Zeilenleitung wird um den Inhalt des zweiten Zeilenfehlerregisters 56, also um die mittlere Fehleranzahl aller Zeilenleitungen erniedrigt. Würde der Fehlerzähler 38 dadurch auf einen negativen Wert gesetzt, wird er gleich Null gesetzt. Anschließend wird auch das Gesamtzeilenfehlerregister 52 um den Inhalt des zweiten Zeilenfehlerregisters 56 erniedrigt, kleinstenfalls jedoch auf Null gesetzt.

[0043] Anschließend schreitet das Verfahren mit Schritt 280 fort, in dem aus den regulären Bits 4 der gelesenen Zeilenleitung 28 erneut eine Signatur berechnet wird. In Schritt 290 wird diese neu berechnete Signatur mit der beim letzten Schreibzugriff berechneten und in den Signaturbits 36 abgelegten Signatur verglichen. Stimmen die beiden Signaturen überein, so wird der Zugriff auf alle Speicherzellen als fehlerfrei bewertet und das Verfahren kehrt zurück zu Schritt 250, wo es auf den nächsten Schreib/Lese-Zugriff wartet.

[0044] Stimmen die beiden Signaturen nicht überein, so ist zumindest ein Speicherzelleninhalt 24 der Zeilenleitung 28 fehlerhaft. Wurde für die Signatur eine ausreichende Anzahl Signaturbits 36 bereitgestellt, so ist es oft möglich, in einem Schritt 300 den Fehler zu korrigieren. Beispielsweise kann ein Speicherzellenarray 4096 + 32 Zeilenleitungen und 512 + 32 Spaltenleitungen aufweisen. Dann stehen 32 Spaltenbits zur Verfügung, von denen beispielsweise 5 Bits für dem Zeilenfehlerzähler und bis zu 27 Bits als Signaturbits verwendet werden können.

[0045] Darüber hinaus werden in Schritt 300 die Fehlerregister aktualisiert. Insbesondere wird das Gesamtzeilenfehlerregister 52 und der Fehlerzähler 38 um den Inhalt des Zeilenfehlerregisters 56 erhöht und das Gesamtzeilenfehlerregister 52 um eins hochgezählt. Dadurch werden die bei der Leseinitialisierung 270 durchgeführten Schritte im Fehlerfall wieder rückgängig gemacht. Zusätzlich wird der Fehlerzähler 38 der Zeilenleitung 28 und das Gesamtzeilenfehlerregister 52 jeweils um eins erhöht. Insgesamt ergibt sich somit, daß im Fehlerfall der Fehlerzähler 38 der jeweiligen Zeilenleitung und der Gesamtzeilenfehlerregister 52 um eins erhöht werden, während im Fall eines fehlerfreien Zugriffs auf eine Zeilenleitung deren Fehlerzähler 38 und das Gesamtzeilenfehlerregister 52 um den mittleren Fehler pro Zeile erniedrigt werden, jedoch nicht weiter als bis auf Null.

[0046] In Schritt 310 wird nunmehr geprüft, ob die als fehlerhaft erkannte Zeile 28 repariert werden soll. Eine Reparatur soll nicht bei jedem Fehler erfolgen, sondern nur, wenn die Fehlerhäufigkeit der Zeilenleitung 28 signifikant über dem durchschnittlichen Fehler aller Zeilenleitungen WL liegt. Dadurch lassen sich zufällige oder sporadisch auftretende fehlerhafte Lesezugriffe, beispielsweise verursacht durch den Einfall von Alpha-Strahlen akzeptieren, während harte Fehler, die im wesentlichen bei jedem Zugriff auftreten, zuverlässig erkannt und beseitigt werden.

[0047] Im Ausführungsbeispiel ist als Reparaturbedingung vorgesehen, daß der Fehlerzähler 38 der aktuellen Zeilenleitung 28 einen Wert größer oder gleich 16 annimmt und der im ersten Zeilenfehlerregister 54 gespeicherte mittlere

Fehler aller regulären Zeilenleitungen kleiner als 8 ist. Eine solche Bedingung läßt sich einfach und durch schnelle Bit-schiebeoperationen abfragen, nämlich durch Abfragen, ob die Bedingungen Fehlerzähler 38 $DIV\ 16 > 0$ und erstes Zeilenfehlerregister 54 $DIV\ 8 = 0$ erfüllt sind. Sind beide Bedingungen zugleich erfüllt, so ist die aktuelle Zeilenleitung mindestens doppelt so oft ausgefallen wie der Durchschnitt aller Zeilenleitungen und die aktuelle Zeilenleitung 28 wird als dauernd fehlerhaft eingestuft.

[0048] Ist die Selbstreparatur freigegeben, Schritt 320, wird in Schritt 330 die Selbstreparatur eingeleitet. Dazu wird zunächst die in dem Softfuse-Register 62 gespeicherte Zeilenleitung geöffnet und alle Zugriffe auf die fehlerhafte Zeilenleitung 28 auf diese redundante Zeilenleitung umgeleitet. Der Inhalt der aktuellen Zeilenleitung wird in die redundante Zeilenleitung kopiert. Da das Softfuse-Register 62 nunmehr in Benutzung ist, wird in Schritt 340 die Selbstreparaturmöglichkeit vorübergehend gesperrt.

[0049] Nunmehr wird in Schritt 350 die Programmierung der e-Fuse 64 eingeleitet, die üblicherweise 1 µs bis 1000 µs, beispielsweise 200 µs andauert. Das Aktivieren der e-Fuse 64 kann jedoch im Hintergrund ablaufen, da Zugriffe auf die defekte Wortleitung 28 über das Softfuse-Register 62 während des Programmierprozesses umgeleitet sind. Es kommt somit auch während des Programmiervorgangs zu keiner Störung des laufenden Betriebs. Ist die Programmierung der e-Fuse 64 abgeschlossen, so ist die defekte Wortleitung 28 durch eine redundante fehlerfreie Wortleitung dauerhaft ersetzt, und die Selbstreparatur kann wieder freigegeben werden, soweit noch redundante Zeilenleitungen RWL vorhanden sind.

[0050] Bei erfolgter Reparatur wird die im Gesamtzeilenfehlerregister 52 gespeicherte Gesamtfehleranzahl um die Fehleranzahl der fehlerhaften Zeilenleitung 28 erniedrigt, und der Fehlerzähler der neuen Zeilenleitung auf Null gesetzt.

[0051] Das erfindungsgemäße Verfahren nutzt also das schnelle Softfuse-Register 62 zum Umleiten der Zeilenleitungsadressen während der Programmierung der e-Fuses 64 aus, so daß der Speicherbaustein während der Programmierung ungestört weiterarbeiten kann. Damit wird eine Beeinträchtigung der Nutzung vermieden.

[0052] In einer anderen Ausgestaltung des integrierten Speichers und des Verfahrens zum Testen und Reparieren desselben ist es möglich, nicht nur fehlerhafte Zeilen, sondern auch fehlerhafte Spalten durch redundante Zeilen bzw. Spalten auszutauschen. Für den Fall eines Speicherzellenblocks mit 4096×512 regulären Speicherzellen weist dazu die Selbsttesteinheit 50 neben den oben beschriebenen Registern ein 13 Bit breites Gesamtspaltenfehlerregister zur Aufnahme der Anzahl der Fehler aller regulären Spalten, ein durch die obersten vier Bits des Gesamtspaltenfehlerregisters gebildetes erstes Spaltenfehlerregister und ein separates zweites Spaltenfehlerregister zur Zwischenspeicherung auf.

[0053] Daneben sind 512 Spaltenfehlerzähler zur Aufnahme der Fehlerzahl jeder der einzelnen Spalten vorgesehen. Mit Bezug auf Fig. 5a wird bei dem Verfahren zum Testen und Korrigieren von Zeilen- und Spaltenfehlern 400 zunächst in Schritt 410 die Fehlerregister initialisiert, indem alle Fehlerregister auf Null gesetzt werden. In Schritt 420 wird abgefragt, ob noch redundante Zeilenleitungen vorhanden sind und entsprechend dem Ergebnis der Abfrage wird die Zeilenselbstreparatur freigegeben (Schritt 430) oder gesperrt (Schritt 435). Analog wird in Schritt 440 geprüft, ob noch redundante Spaltenleitungen vorhanden sind und entsprechend dem Ergebnis wird in Schritt 450 die Spaltenselbstreparatur freigegeben oder in Schritt 455 gesperrt. In

Schritt 460 wartet die Routine dann auf den nächsten Schreib/Lese-Zugriff.

[0054] Im Falle eines Schreibzugriffs wird in Schritt 470 analog zum vorbeschriebenen Verfahren eine neue Signatur der gelesenen Zeilenleitung erstellt und abgespeichert.

[0055] Bei einem Lesezugriff (Fig. 5b) wird in Schritt 480 eine Leseinitialisierung der Fehlerregister durchgeführt. Für die Zeilenleitungen werden dabei dieselben Operationen durchgeführt, wie oben in Zusammenhang mit Schritt 270 beschrieben. Für die Spaltenleitungen wird zunächst der Inhalt des ersten Spaltenfehlerregisters in das zweite Spaltenfehlerregister kopiert und der Inhalt des Gesamtspaltenfehlerregisters um 512 (die Anzahl der Spalten) erniedrigt. Dann werden alle 512 Spaltenfehlerzähler jeweils um den Inhalt des zweiten Spaltenfehlerregisters, und das Gesamtspaltenfehlerregisters um das 512-fache des Inhalts des zweiten Spaltenfehlerregisters erniedrigt. Kleinstenfalls werden alle Fehlerregister auf Null gesetzt.

[0056] Dann wird, wie oben ausführlich beschrieben, eine Signatur der gelesenen regulären Bits 4 errechnet und in Schritt 490 mit einer zuvor abgespeicherten Signatur verglichen. Stimmen beide Signaturen überein, gilt der Zugriff als fehlerfrei und das Verfahren geht zurück zu Schritt 460 und wartet auf den nächsten Schreib/Lese-Zugriff.

[0057] Im Fehlerfall schreitet das Verfahren zu Schritt 500 fort, wo, falls möglich, anhand der Signatur eine Fehlerkorrektur durchgeführt wird. Weiterhin wird versucht, aus der Signatur diejenige Spaltenleitung j, mit $j = 0 \dots 511$ zu bestimmen, in der der Fehler aufgetreten ist. Anschließend werden die Fehlerregister aktualisiert, das heißt für die Fehlerregister werden die bei der Leseinitialisierung gemachten Aktionen rückgängig gemacht und der Fehlerzähler 38 und der Wert des Gesamtzeilenfehlerregisters 52 um eins erhöht. Analoge Aktionen werden mit den Spaltenregistern durchgeführt, also das Gesamtspaltenfehlerregister und der Spaltenfehlerzähler der Spalte j im Ergebnis um eins erhöht.

[0058] Nunmehr wird in Schritt 510 abgefragt, ob überhaupt eine Reparatur stattfinden soll und falls ja, ob die aktuelle Zeilenleitung oder die als fehlerhaft erkannte Spaltenleitung ersetzt werden soll. Dazu wird zunächst geprüft, ob die Zeilenselbstreparatur und die Spaltenselbstreparatur überhaupt freigegeben ist. Unter der Bedingung Zeilenfehlerzähler $DIV\ 16 > 0$ und erstes Zeilenfehlerregister 54 $DIV\ 8 = 0$ wird dann ein Zeilenreparatursignal ausgegeben. Ein Spaltenreparatursignal für die Spaltenleitung j wird unter der Bedingung Spaltenfehlerzähler j $DIV\ 16 > 0$ und erstes Spaltenfehlerregister $DIV\ 8 = 0$ erzeugt.

[0059] Anschließend wird noch geprüft, ob eine Zeilenreparatur bzw. eine Spaltenreparatur sinnvoll ist. Wird nur ein Reparatursignal ausgegeben, dann ist je nach Signalart entweder eine Spalten- oder Zeilenreparatur vorzunehmen. Ist ein sogenannter Single Cell Fail vorhanden, also nur eine Zeile und eine Spalte betroffen, dann ist die Zeilenreparatur vor der Spaltenreparatur vorzunehmen, bis die vorhandene Zeilenredundanz aufgebraucht ist. Danach werden die Single Cell Fails mit Spaltenreparatur behoben, bis auch diese Redundanz aufgebraucht ist.

[0060] Auf ein Zeilenreparatursignal hin wird in Schritt 520 die Zeilenleitung zunächst über das Softfuse-Register 62 umgeleitet und anschließend die e-Fuse 64 in Schritt 530 wie bereits oben beschrieben aktiviert.

[0061] Soll die als defekt erkannte Spaltenleitung ersetzt werden, wird eine entsprechende Aktivierung einer e-Fuse in Schritt 540 eingeleitet. Die Reparatur einer Spaltenleitung ist nicht im Hintergrund möglich, da zum Kopieren der defekten Spaltenleitung alle 4096 Wortleitungen abgefragt und das der defekten Spaltenleitung entsprechende Bit kopiert beziehungsweise durch ECC aus der Signatur errech-

net werden muß. Hier ist somit ein einfaches Kopieren der defekten Leitung um eine vorübergehende Umleitung nicht ausreichend.

[0062] In diesem Fall werden während der Programmierung der e-Fuse Speicherzellenzugriffe angehalten. Nach abgeschlossener Programmierung der e-Fuse wird ein Bank-Refresh durchgeführt, bei dem auch der Reihe nach alle Zeilenleitungen gelesen werden, der Speicherzelleninhalt der Spaltenleitung j unter Benutzung der abgespeicherten Signatur 36 rekonstruiert wird und dieser Wert an die entsprechende Stelle der redundanten Spaltenleitung geschrieben wird.

[0063] Nach Abschluß einer erfolgten Zeilenreparatur wird der Gesamtzeilenfehler im Register 52 um den Fehlerzähler der reparierten Zeile erniedrigt und der Fehlerzähler 38 der reparierten und jetzt fehlerfreien Zeilenleitung auf Null gesetzt. Eine analoge Aktion findet nach der Reparatur einer Spaltenleitung statt.

[0064] In einer weiteren Ausgestaltung des integrierten Speichers, die allein oder in Zusammenhang mit einer der vorbeschriebenen Ausführungsformen benutzt werden kann, sollen Einzelzellenfehler repariert werden. Der integrierte Speicher weist dazu, gegebenenfalls zusätzlich zur Selbsttesteinheit 50, eine Selbsttesteinheit 150 (Fig. 3) auf. Die Selbsttesteinheit 150 umfaßt ein Schieberegister 152 mit 16 Registern 152₀ bis 152₁₅, die jeweils die vollständige Adresse einer Speicherzelle, nämlich die Speicherbank 154a, die Zeile 154b und die Spalte 154c aufnehmen können. Zusätzlich ist ein 5-Bit-Zähler 156 vorgesehen, der bei dem Einspeichern einer Adresse in das Schieberegister um eins hochgezählt wird. Die Logikeinheit 158 führt bei einem vorbestimmten Wert des Zählers 156 eine Überprüfung durch, ob eine Adresse wiederholt in den Schieberegistern 152₀ bis 152₁₅ abgelegt ist.

[0065] Im Betrieb wird beispielsweise bei jedem festgestellten Speicherzellenfehler die vollständige Adresse der fehlerhaften Speicherzelle in das Schieberegister 152 gespeichert und der Zähler 156 um eins hochgezählt. Hat der Zähler 156 den Wert 16, ist das Schieberegister 152 also gefüllt, führt die Logikeinheit 158 eine XOR-Verknüpfung der einzelnen Bits der Schieberegister durch. Ist sechzehnmal die selbe Adresse abgelegt, ergibt sich insgesamt der Wert 0. Diese Speicherzelle mit dieser Adresse wird dann als fehlerhaft erkannt, selbst wenn den sechzehn fehlerhaften Zugriffen eine höhere Zahl an fehlerfreien Zugriffen, die jedoch nicht zu einer Löschung der gespeicherten Adressen führt, gegenüber steht. Somit lassen sich auch solche Speicherzellen als fehlerhaft charakterisieren, die keinen harten Fehler aufweisen, also nicht bei jedem einzelnen Zugriff ein Fehlersignal hervorrufen.

[0066] Ist eine Speicherzelle 24 als fehlerhaft erkannt, wird die zugehörige Zeilenleitung 28 und Spaltenleitung 26 bestimmt und entweder die Zeilenleitung 28 oder die Spaltenleitung 26 durch eine redundante Leitung ersetzt. Dabei wird die Zeilenreparatur vor der Spaltenreparatur vorgenommen, bis die vorhandene Zeilenredundanz aufgebraucht ist. Danach werden die Einzelzellenfehler mit Spaltenreparatur behoben, bis auch diese Redundanz aufgebraucht ist.

[0067] Selbstverständlich kann die Logikeinheit 158 auch eine komplexere Auswertung der im Schieberegister 152 gespeicherten Adressen vornehmen. Zeigen beispielsweise zwei Speicherzellen gelegentliche Ausfälle, werden zwei verschiedene Adressen im Register 152 erscheinen. Die Logikeinheit 158 kann dann beispielsweise durch einen Bubblesort die Speicherzelle, die am häufigsten ausgefallen ist bestimmen und für diese eine Reparatur einleiten.

1. Integrierter Speicher, mit Speicherzellen (MC), die in einem Speicherzellenblock (22) angeordnet sind, der eine Mehrzahl von Spaltenleitungen (BL) und eine Mehrzahl von Zeilenleitungen (WL) aufweist, bei dem die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) aufweist, mit einer Selbsttesteinheit (50), die bei einem Lesezugriff auf eine aktuelle Zeilenleitung (28) die Korrektheit der gelesenen Speicherzelleninhalte (32) überprüft und bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung (28) generiert, die für jede reguläre Zeilenleitung (WL) die festgestellten Fehler erfaßt und mit einem mittleren Fehler für alle regulären Zeilenleitungen (WL) vergleicht, und die bei Erfüllen einer vorbestimmten Reparaturbedingung bei dem Vergleich ein Zeilenreparatursignal für die aktuelle Zeilenleitung (28) ausgibt, und mit einer mit der Selbsttesteinheit (50) zusammenwirkenden Selbstreparatureinheit (60), die auf ein Zeilenreparatursignal hin die aktuelle Zeilenleitung (28) im laufenden Betrieb des integrierten Speichers durch eine redundante Zeilenleitung (RWL) ersetzt.
2. Integrierter Speicher nach Anspruch 1, bei dem die Selbstreparatureinheit (60) einen wiederbeschreibbaren Speicher (62) zur schnellen Umleitung der Adresse der aktuellen Zeilenleitung (28) auf die Adresse der redundante Zeilenleitung, und einen irreversiblen programmierbaren Speicher (64) zur dauerhaften Ersetzung der aktuellen Zeilenleitung (28) durch die redundante Zeilenleitung aufweist.
3. Integrierter Speicher nach Anspruch 1 oder 2, bei dem die Selbsttesteinheit (50) die Korrektheit der gelesenen Speicherzelleninhalte (32) der aktuellen Zeilenleitung (28) anhand eines Vergleichs einer berechneten Signatur der Speicherzelleninhalte (32) mit einer abgespeicherten Signatur (36) der Speicherzelleninhalte überprüft.
4. Integrierter Speicher nach einem der vorigen Ansprüche, bei dem die Mehrzahl von Spaltenleitungen reguläre Spaltenleitungen (BL) und redundante Spaltenleitungen (RBL) aufweist, bei dem die Selbsttesteinheit (50) bei einem Lesezugriff auf eine aktuelle Zeilenleitung (28) die Korrektheit der gelesenen Speicherzelleninhalte (32) überprüft und bei einem Fehler ein Fehlersignal für die aktuelle Zeilenleitung (28) generiert, im Fall eines festgestellten Fehlers eine berechnete Signatur der Speicherzelleninhalte (32) mit einer zuvor abgespeicherten Signatur (36) vergleicht, zur Bestimmung der Spaltenleitung (26), in der der Fehler aufgetreten ist, für jede reguläre Zeilenleitung (WL) und für jede reguläre Spaltenleitung (BL) die festgestellten Fehler erfaßt und jeweils mit einem mittleren Fehler für alle reguläre Zeilenleitungen (WL) und alle reguläre Spaltenleitungen (BL) vergleicht, und bei Erfüllen einer vorbestimmten Reparaturbedingung bei dem Vergleich ein Zeilenreparatursignal für die aktuelle Zeilenleitung (28) oder eine Spaltenreparatursignal für eine als fehlerhaft erkannte Spaltenleitung (26) ausgibt, und bei dem die Selbstreparatureinheit (60) auf ein Zeilen-

reparatursignal hin die aktuelle Zeilenleitung (28) im laufenden Betrieb durch eine redundante Zeilenleitung (RWL) ersetzt und
 auf ein Spaltenreparatursignal hin die als fehlerhaft erkannte Spaltenleitung (26) durch eine redundante Spaltenleitung (RBL) ersetzt.

5. Integrierter Speicher nach Anspruch 4, bei dem die Selbstreparatureinheit (60) einen irreversiblen programmierbaren Speicher (64) zur dauerhaften Ersetzung der als fehlerhaft erkannten Spaltenleitung (26) durch die redundante Spaltenleitung (RBL), und Mittel zum Wiederherstellen der in der fehlerhaften Spaltenleitung (26) gespeicherten Speicherzelleninhalte aufweist.

6. Integrierter Speicher, insbesondere nach einem der vorigen Ansprüche mit Speicherzellen (MC), die in einem Speicherzellenblock angeordnet sind, der eine Mehrzahl von Spaltenleitungen (BL) und eine Mehrzahl von Zeilenleitungen (WL) aufweist, bei dem die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) aufweist, und die Mehrzahl von Spaltenleitungen reguläre Spaltenleitungen (BL) und redundante Spaltenleitungen (RBL) aufweist, mit einer Selbsttesteinheit (150), die bei einem Lesezugriff auf eine aktuelle Zeilenleitung (28) die Korrektheit der gelesenen Speicherzelleninhalte (32) überprüft und bei einem Fehler ein Fehler-signal für die aktuelle Zeilenleitung (28) generiert, die im Fall eines festgestellten Fehlers eine berechnete Signatur der Speicherzelleninhalte (32) mit einer zuvor abgespeicherten Signatur (36) vergleicht, zur Bestimmung der Spaltenleitung (26), in der der Fehler aufgetreten ist, die die vollständigen Adressen der Speicherzellen (24), in denen ein Fehler aufgetreten ist, sukzessive in einem Schieberegister (152) ablegt, die im Fall des wiederholten Ablegens der Adresse derselben Speicherzelle (24) in dem Schieberegister (152) die der Speicherzelle (24) zugehörige Zeilenleitung (28) und Spaltenleitung (26) bestimmt, und die bei Erfüllen einer vorbestimmten Reparaturbedingung ein Zeilenreparatursignal für die zugehörige Zeilenleitung (28) oder ein Spaltenreparatursignal für die zugehörige Spaltenleitung (26) ausgibt, und mit einer mit der Selbsttesteinheit zusammenwirkenden Selbstreparatureinheit (60), auf ein Zeilenreparatursignal hin die aktuelle Zeilenleitung (28) im laufenden Betrieb durch eine redundante Zeilenleitung (RWL) ersetzt und auf ein Spaltenreparatursignal hin die als fehlerhaft erkannte Spaltenleitung (26) durch eine redundante Spaltenleitung (RBL) ersetzt.

7. Verfahren zum Testen und Reparieren eines integrierten Speichers, der Speicherzellen (MC) aufweist, die in einem Speicherzellenblock mit einer Mehrzahl von Spaltenleitungen (BL) und einer Mehrzahl von Zeilenleitungen (WL) angeordnet sind, und bei dem die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) aufweist, mit den Verfahrensschritten:

- Lesen der Speicherzelleninhalte einer aktuellen Zeilenleitung,
- Überprüfen der Korrektheit der gelesenen Speicherzelleninhalte,
- Generieren eines Fehlersignals für die aktuelle Zeilenleitung im Fehlerfall,
- Erfassen der für jede reguläre Zeilenleitung

festgestellten Fehler,

- Vergleichen der Fehleranzahl der aktuellen Zeilenleitung mit einem mittleren Fehler für alle reguläre Zeilenleitungen,

- Ausgeben eines Zeilenreparatursignals für die aktuelle Zeilenleitung bei Erfüllen einer vorbestimmten Reparaturbedingung bei dem Vergleich, und

- Ersetzen der aktuellen Zeilenleitung im laufenden Betrieb durch eine redundante Zeilenleitung auf ein Zeilenreparatursignal hin.

8. Verfahren zum Testen und Reparieren eines integrierten Speichers, der Speicherzellen (MC) aufweist, die in einem Speicherzellenblock mit einer Mehrzahl von Spaltenleitungen (BL) und einer Mehrzahl von Zeilenleitungen (WL) angeordnet sind, bei dem die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) und die Mehrzahl von Spaltenleitungen reguläre Spaltenleitungen (BL) und redundante Spaltenleitungen (RBL) aufweist, mit den Verfahrensschritten:

- Lesen der Speicherzelleninhalte einer aktuellen Zeilenleitung,

- Überprüfen der Korrektheit der gelesenen Speicherzelleninhalte,

- im Fehlerfall, Vergleichen einer berechneten Signatur der Speicherzelleninhalte mit einer zuvor gespeicherten Signatur zur Bestimmung der Spaltenleitung, in der der Fehler aufgetreten ist,

- im Fehlerfall, Generieren eines Fehlersignals für die aktuelle Zeilenleitung und einer als fehlerhaft bestimmten Spaltenleitung,

- Erfassen der für jede reguläre Zeilenleitung und jede reguläre Spaltenleitung festgestellten Fehler,

- Vergleichen der Fehleranzahl der aktuellen Zeilenleitung mit einem mittleren Fehler für alle regulären Zeilenleitungen, und der Fehleranzahl einer als fehlerhaft bestimmten Spaltenleitung mit einem mittleren Fehler für alle regulären Spaltenleitungen,

- Ausgeben eines Zeilenreparatursignals für die aktuelle Zeilenleitung oder eines Spaltenreparatursignals für eine als fehlerhaft bestimmte Spaltenleitung bei Erfüllen einer vorbestimmten Reparaturbedingung bei den Vergleichen, und

- Ersetzen der aktuellen Zeilenleitung im laufenden Betrieb durch eine redundante Zeilenleitung auf ein Zeilenreparatursignal hin oder Ersetzen der als fehlerhaft erkannten Spaltenleitung durch eine redundante Spaltenleitung auf ein Spaltenreparatursignal hin.

9. Verfahren nach Anspruch 7 oder 8, bei dem beim Schreiben der Speicherzelleninhalte einer aktuellen Zeilenleitung eine erste Signatur der Speicherzelleninhalte berechnet und abgespeichert wird, bei einem Lesen dieser Zeilenleitung eine zweite Signatur der Speicherzelleninhalte berechnet wird, und die Korrektheit der gelesenen Speicherzelleninhalte durch Vergleich der ersten und zweiten Signatur festgestellt wird.

10. Verfahren nach einem der Ansprüche 7 bis 9, bei dem die mittlere Fehlerzahl für alle regulären Zeilenleitungen bei einem fehlerhaften Lesevorgang einer Zeilenleitung erhöht, und bei einem fehlerfreien Lesevorgang erniedrigt wird.

11. Verfahren nach einem der Ansprüche 7 bis 10, bei dem ein Zeilenreparatursignal ausgegeben wird, wenn die Fehlerzahl der aktuellen Zeilenleitung doppelt so

groß ist wie die mittlere Fehlerzahl aller regulären Zeilenleitungen.

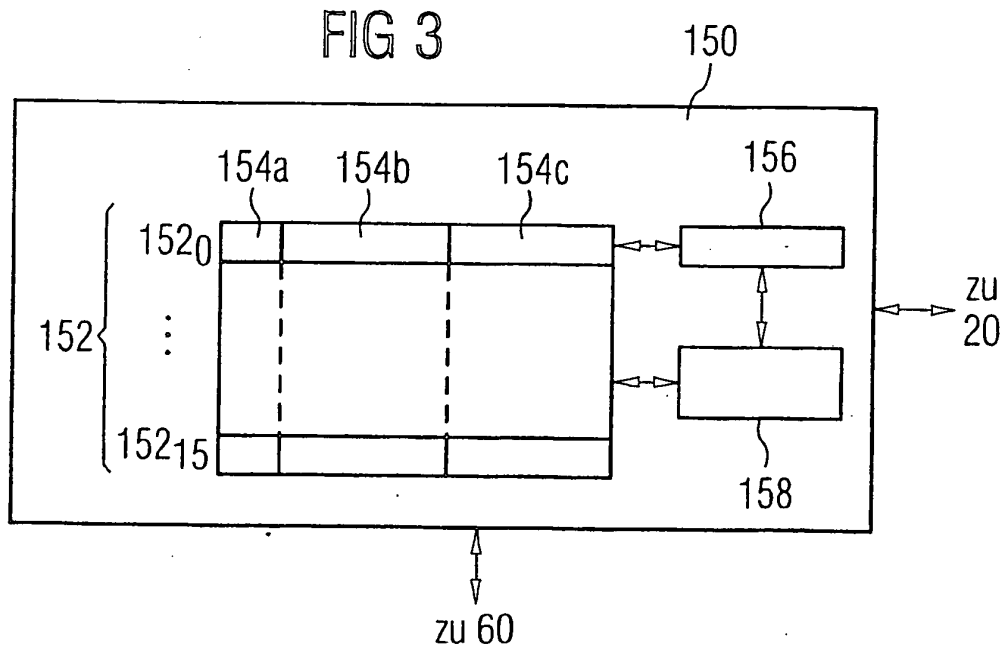
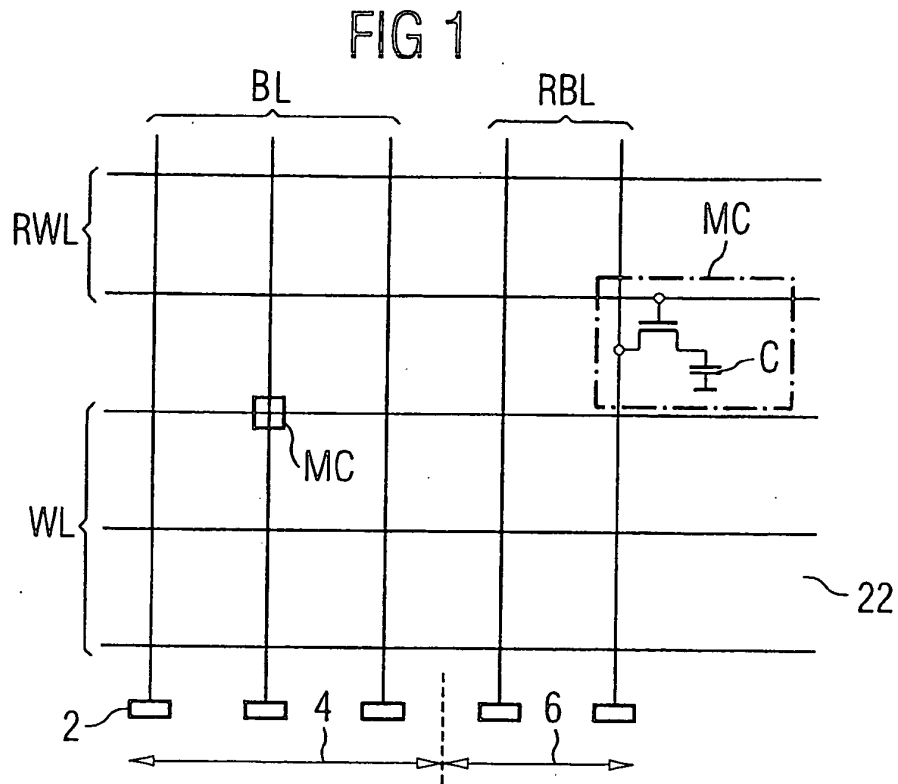
12. Verfahren nach einem der Ansprüche 7 bis 11, bei dem der Schritt des Ersetzen der aktuellen Zeilenleitung folgende Verfahrensschritte umfaßt:

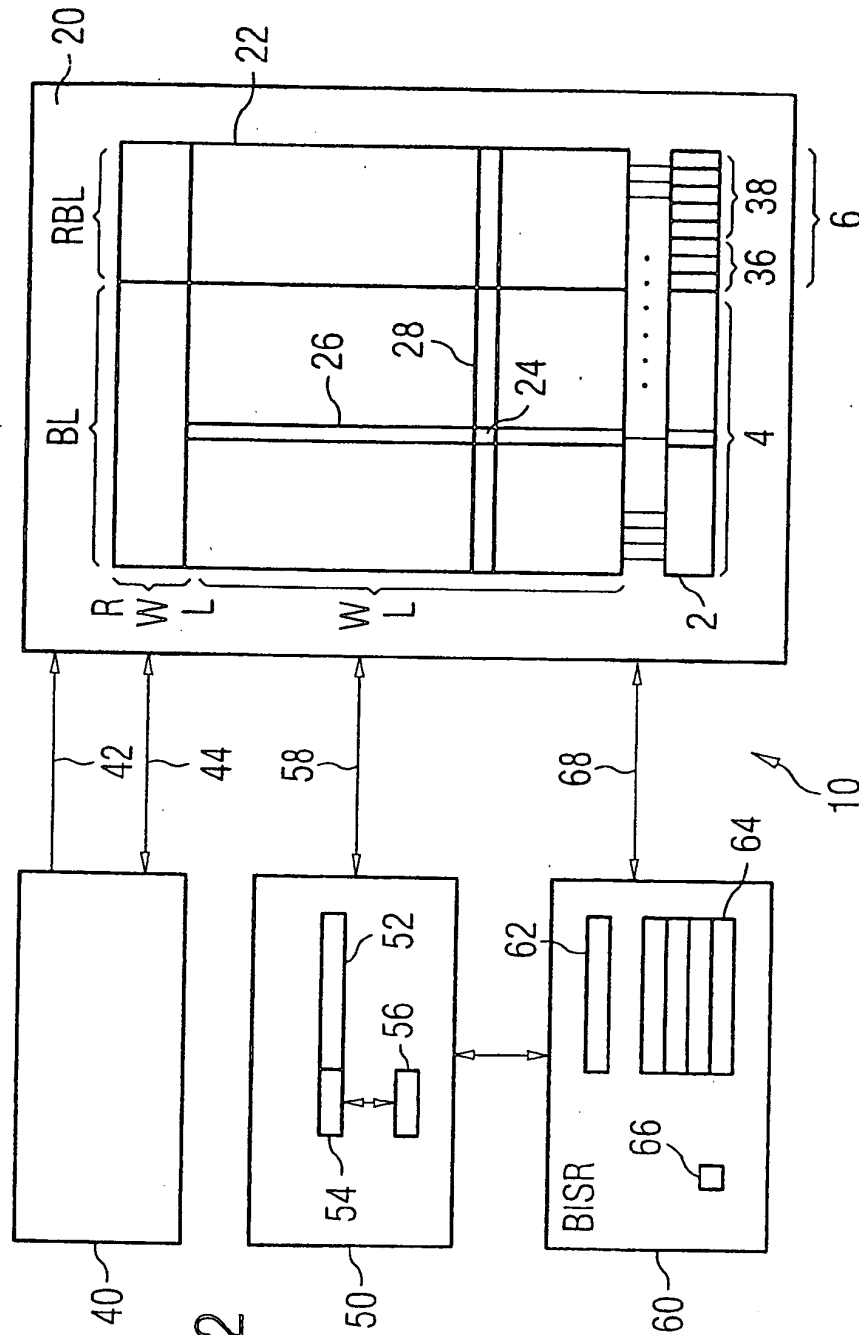
- Aktivieren eines irreversiblen programmierbaren Speichers zur dauerhaften Ersetzung der aktuellen Zeilenleitung durch die redundante Zeilenleitung, und
- Umleiten der Adresse der aktuellen Zeilenleitung auf die redundante Zeilenleitung durch einen wiederbeschreibbaren Speicher solange die Aktivierung des irreversiblen programmierbaren Speichers andauert.

13. Verfahren zum Testen und Reparieren eines integrierten Speichers, der Speicherzellen (MC) aufweist, die in einem Speicherzellenblock mit einer Mehrzahl von Spaltenleitungen (BL) und einer Mehrzahl von Zeilenleitungen (WL) angeordnet sind, bei dem die Mehrzahl von Zeilenleitungen reguläre Zeilenleitungen (WL) und redundante Zeilenleitungen (RWL) und die Mehrzahl von Spaltenleitungen reguläre Spaltenleitungen (BL) und redundante Spaltenleitungen (RBL) aufweist, mit den Verfahrensschritten:

- Lesen der Speicherzelleninhalte einer aktuellen Zeilenleitung,
- Überprüfen der Korrektheit der gelesenen Speicherzelleninhalte,
- im Fehlerfall, Vergleichen einer berechneten Signatur der Speicherzelleninhalte mit einer zuvor gespeicherten Signatur zur Bestimmung der Spaltenleitung, in der der Fehler aufgetreten ist,
- im Fehlerfall, Generieren eines Fehlersignals für die aktuelle Zeilenleitung und einer als fehlerhaft bestimmten Spaltenleitung,
- Speichern der vollständigen Adressen der Speicherzellen, in denen ein Fehler aufgetreten ist,
- Prüfen auf wiederholtes Ablegen der Adresse derselben Speicherzelle,
- bei Erreichen einer in einer vorgegeben Anzahl oder Häufigkeit, Bestimmen der zu der Speicherzelle zugehörigen Zeilenleitung und Spaltenleitung,
- Ausgeben eines Zeilenreparatursignals für die zugehörige Zeilenleitung oder eines Spaltenreparatursignals für die zugehörige Spaltenleitung bei Erfüllen einer vorbestimmten Reparaturbedingung, und
- Ersetzen der aktuellen Zeilenleitung im laufenden Betrieb durch eine redundante Zeilenleitung auf ein Zeilenreparatursignal hin oder Ersetzen der als fehlerhaft erkannten Spaltenleitung durch eine redundante Spaltenleitung auf ein Spaltenreparatursignal hin.

Hierzu 6 Seite(n) Zeichnungen





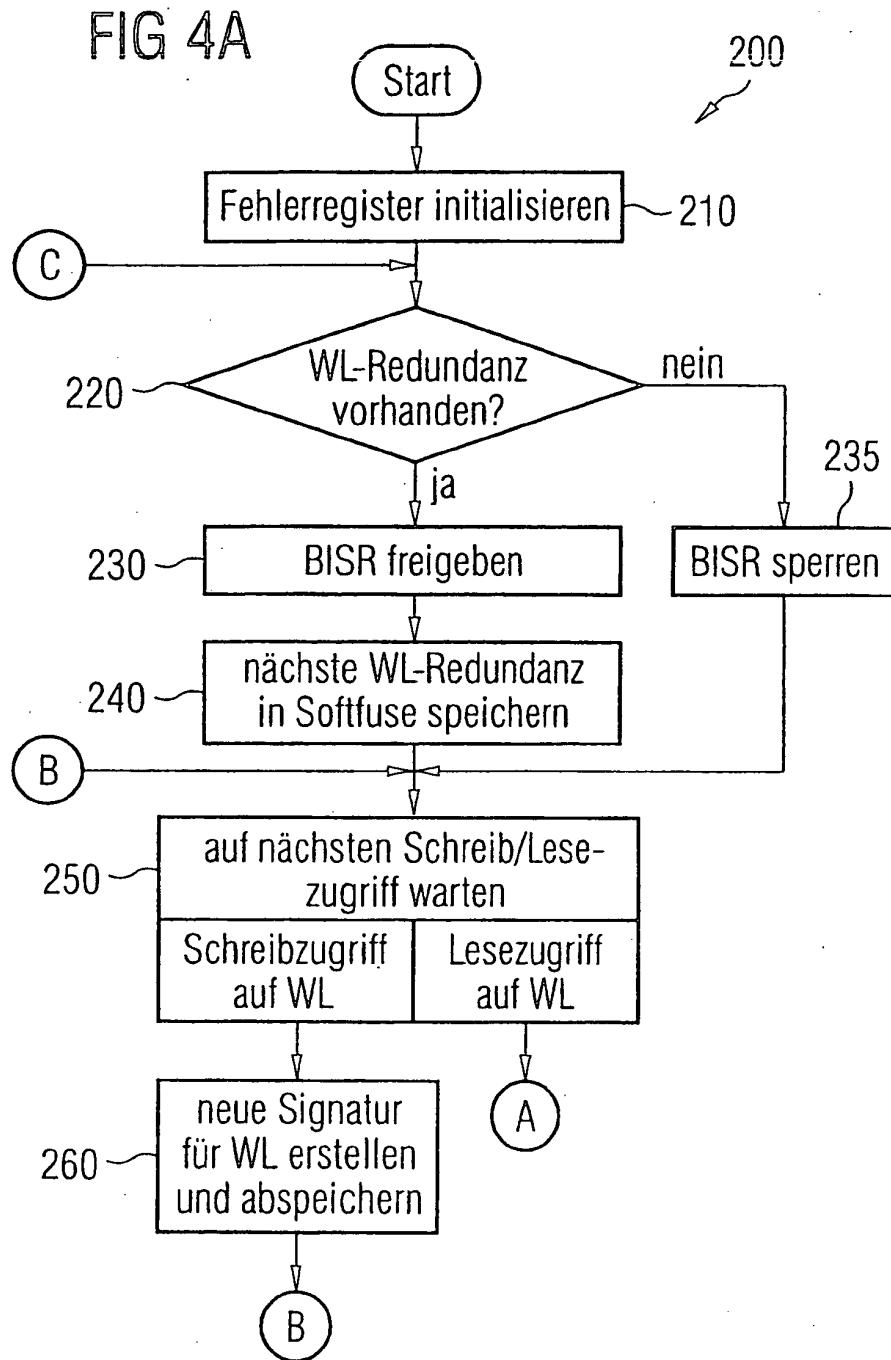


FIG 4B

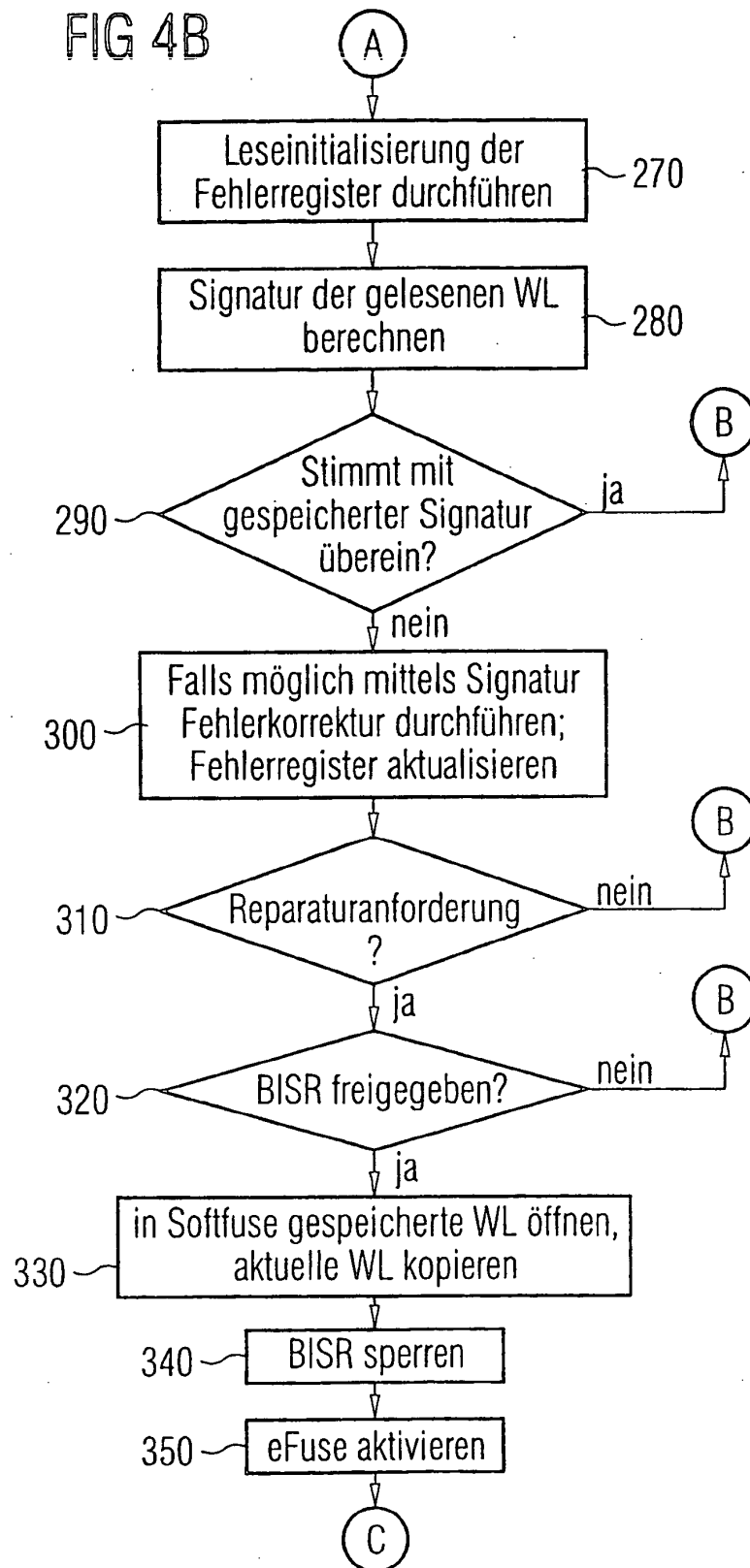


FIG 5A

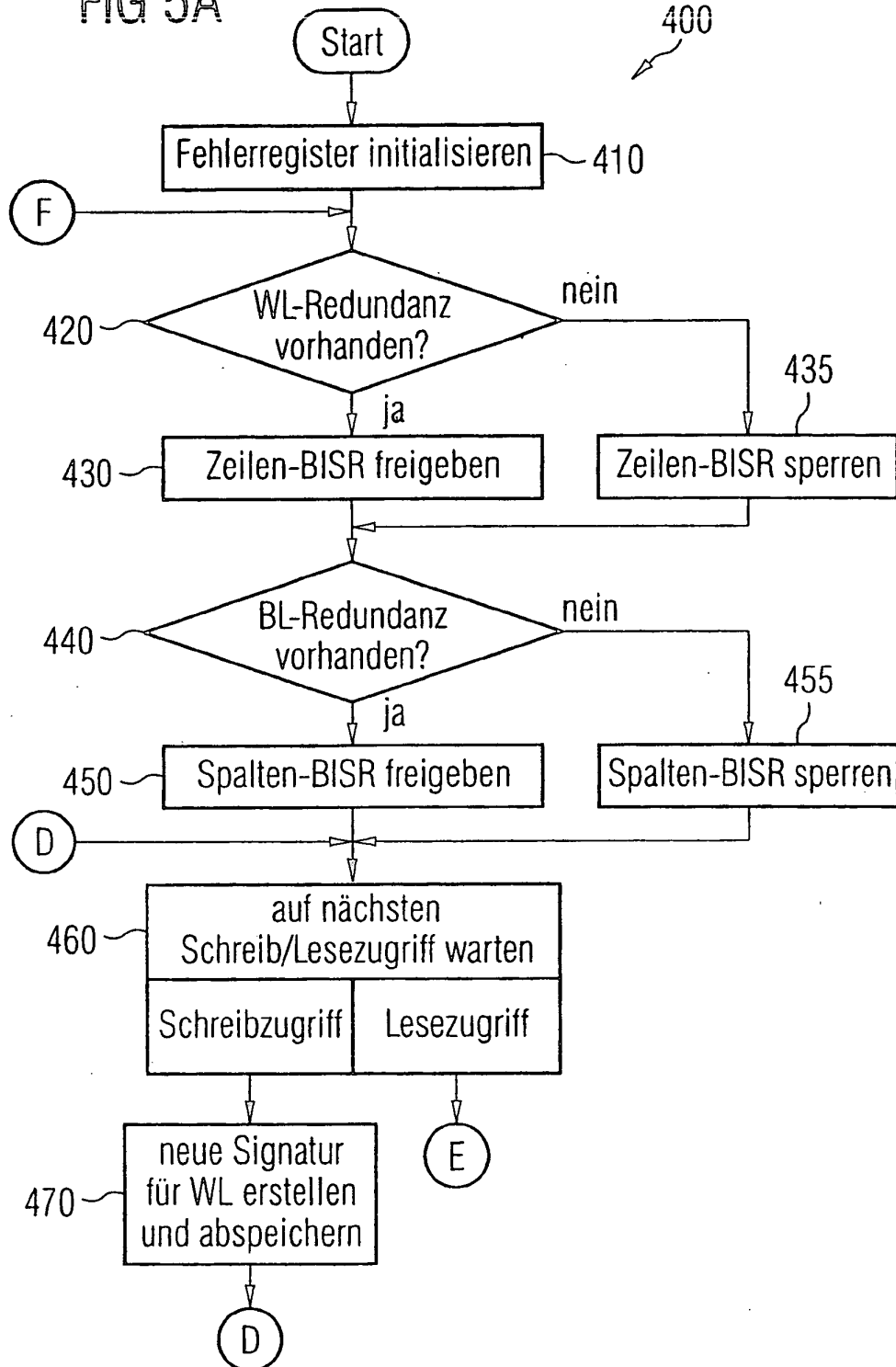


FIG 5B

